

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-100186

(43)Date of publication of application : 07.04.2000

(51)Int.Cl.

G11C 16/06

(21)Application number : 10-267905

(71)Applicant : NEC CORP

(22)Date of filing : 22.09.1998

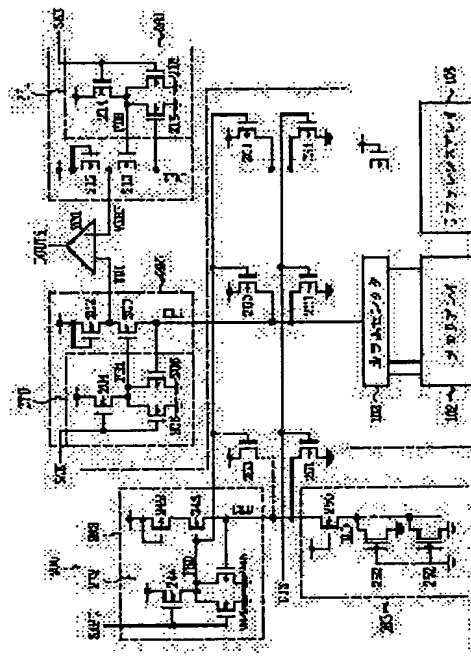
(72)Inventor : KAMIKUBO MASAKI

(54) SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To speed up a read of data by making different the feedback signals at precharging time and sensing time.

SOLUTION: Electric charges are supplied by a precharging circuit 390 equipped with bit lines DLi and DLR to be charged up and feedback circuits 270 and 271 provided for them, and further a dummy bit line 283 and a feedback circuit 272 equivalent or similar to them. For the bit lines DLi and DLR to be charged up, the precharging circuit 290 which supports precharging at the beginning of read is provided and this precharging circuit is controlled with the output signal of the feedback circuit 272 on the dummy bit side. Consequently, the supply quantity of electric charges to the bit lines where the bit lines are precharged can be set to an arbitrary level, so electric charge supply loss such as the overprecharging of the bit lines DLi and DLR is minimized.



LEGAL STATUS

[Date of request for examination] 22.09.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3116921

[Date of registration] 06.10.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開2000-100186

(P 2 0 0 0 - 1 0 0 1 8 6 A)

(43)公開日 平成12年4月7日(2000.4.7)

(51)Int.Cl.⁷

G11C 16/06

識別記号

F I

G11C 17/00

テーマコード (参考)

634 B 5B025

634 C

審査請求 有 請求項の数14 O L (全12頁)

(21)出願番号 特願平10-267905

(22)出願日 平成10年9月22日(1998.9.22)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 上久保 雅規

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100082935

弁理士 京本 直樹 (外2名)

Fターム(参考) 5B025 AA03 AB01 AC01 AD03 AD05

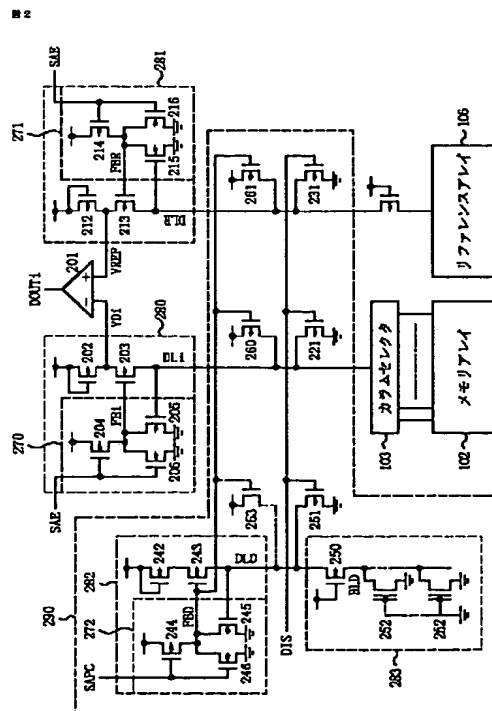
AD06 AD07 AD10 AD11 AE05

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】プリチャージ時とセンス時とでのフィードバック信号を変えることでデータの読み出しの高速化を図る。

【解決手段】チャージアップすべきビット線DLiおよびDLRとそれに備わるフィードバック回路270および271のほかに、これと等価もしくは類似のダミービット線283とフィードバック回路272を備えるプリチャージ回路290で電荷の供給を行う。チャージアップすべきビット線DLiおよびDLRには、読み出し時の初期にチャージアップを補助するプリチャージ回路290を設け、このプリチャージ回路の制御をこのダミービット側のフィードバック回路272の出力信号により行う。その結果、ビット線プリチャージ時のビット線への電荷供給量を任意のレベルに設定できるため、ビット線DLiおよびDLRのオーバプリチャージなどの電荷供給ロスを最小限に抑える。



【特許請求の範囲】

【請求項 1】 センスアンプ活性化信号が活性化された状態で、プリチャージ信号もさらに活性化されたときのプリチャージ時にはビット線電位を前記センシングに必要な所望レベルまで上昇させた後メモリセルアレイから所定のメモリセルを選択してオン電流を発生させ、その電流の変化を帰還入力するフィードバック手段を備えた電流電圧変換手段によって変換された出力電圧を、前記電流電圧変換手段と同一構成からなるリファレンス電圧発生手段の出力電圧と差動増幅手段と比較することによって、メモリセルのデータ記憶状態をプリチャージ信号が非活性化されたときのセンシング期間で判定する電流センス型のデータ読み出し手段を備えた半導体記憶装置において、前記メモリセルアレイ 1 列分のメモリセルと同一構成のダミーメモリセルとこのセルに電荷を供給する伝達トランジスタを、このトランジスタの出力電位が帰還入力されるダミーフィードバック手段により制御し、かつ前記ダミーメモリセルに対する電荷供給を増加または減少させるとともに前記伝達トランジスタの負荷トランジスタから前記電荷供給の変化に応じた所定の電圧を生成するダミー用電流電圧変換手段とを含み、このダミー用電流電圧変換手段によって前記電流電圧変換手段の前記電荷供給に要する時間を短縮制御する電荷供給制御手段をさらに備えることを特徴とする半導体記憶装置。

【請求項 2】 前記プリチャージ動作期間において、前記電荷供給制御手段が前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するためのプリチャージバスを備える請求項 1 記載の半導体記憶装置。

【請求項 3】 前記ダミーフィードバック手段の出力信号を、前記電荷供給制御手段が前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するためのプリチャージバスのトランジスタの制御信号と前記ダミー用電流電圧変換手段の有する伝達トランジスタへの制御信号とに共用する請求項 1 記載の半導体記憶装置。

【請求項 4】 前記センスアンプが非活性期間において、前記電荷供給制御手段が前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくともあらかじめ定める所定の低電位になるように放電するためのディスチャージバスを備える請求項 1 記載の半導体記憶装置。

【請求項 5】 センスアンプ活性化信号が非活性時にこの信号に同期するディスチャージ制御信号によって前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線の電荷を放電させてプリチャージ開始時点での状態を一定に揃える請求項 1 記載の半導体記憶装置。

【請求項 6】 前記ダミーフィードバック手段の判定電流は、前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線電位があらかじめ定める所定のレベルを超えない電位内で充電能力を上げるように、前記電流電圧変換手段および前記リファレンス電圧発生手段それぞれのもつ前記フィードバック手段の判定電流よりも高い値に設定される請求項 1 記載の半導体記憶装置。

【請求項 7】 前記ダミー用電流電圧変換手段の前記ビット線の寄生成分は、前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の寄生成分より小さく設定される請求項 1 記載の半導体記憶装置。

【請求項 8】 前記ダミーメモリセルの寄生成分は前記メモリセルと同じ素子で形成される請求項 1 記載の半導体記憶装置。

【請求項 9】 前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するための前記プリチャージバスにオーバープリチャージを防止する負荷抵抗トランジスタを備える請求項 2 記載の半導体記憶装置。

【請求項 10】 前記負荷抵抗トランジスタは、前記電流電圧変換手段および前記リファレンス電圧発生手段それぞれのビット線に電荷を供給する伝達トランジスタの負荷トランジスタと同じ特性を有する請求項 9 記載の半導体記憶装置。

【請求項 11】 前記プリチャージ信号に応答して前記プリチャージ期間のあらかじめ定める初期段階においてのみ前記電流電圧変換手段のプリチャージ能力を一時的に大きくするためのフィードバック信号を生成する請求項 1 記載の半導体記憶装置。

【請求項 12】 前記電荷供給制御手段は、前記メモリセルアレイのメモリセル 1 列分と同一構成のダミーメモリセルと、このダミーメモリセルのビット線に接続する前記ダミー用電流電圧変換手段と、前記ダミーメモリセルと前記メモリセルと前記リファレンス用電流電圧変換手段に接続するリファレンスメモリセルとにそれぞれ接続されるビット線毎に 1 個ずつ配置されそれぞれのビット線にドレインを接続しかつ接地電位にソースを接続するとともにディスチャージ制御信号がゲートに供給されるディスチャージバスの n チャネル型 MOS トランジスタ群と、前記ダミーフィードバック手段の出力端にゲートを接続しかつ電源電位にドレインを接続するとともに前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線毎に 1 個ずつ配置されかつそれぞれのビット線にソースを接続するプリチャージバスの n チャネル型 MOS トランジスタ群とを備え、前記ダミー用電流電圧変換手段は、電源電位および接地電位間に直列接続状態で挿入され、かつ前記プリチャージ信号がゲートに供給される第 1 の p チャネル型 MOS トランジスタおよ

び第1のnチャネル型MOSトランジスタと前記ダミーメモリセルのビット線にゲートを接続し前記第1のnチャネル型MOSトランジスタと並列にドレインどうしおよびソースどうしを接続する第2のnチャネル型MOSトランジスタとからなり、この第2のnチャネル型MOSトランジスタのドレインを前記出力端とする前記ダミーフィードバック手段と、このダミーフィードバック手段の前記出力端にゲートを接続しかつ前記ダミーメモリセルのビット線にソースを接続する前記伝達トランジスタの第3のnチャネル型MOSトランジスタと、この第3のnチャネル型MOSトランジスタのドレインおよび電源電位間に挿入接続する前記負荷トランジスタの第4のnチャネル型MOSトランジスタとで構成される請求項1記載の半導体記憶装置。

【請求項13】 前記ダミーフィードバック手段の出力端にゲートを接続しかつ電源電位にドレインを接続するとともに前記ダミーメモリセルのビット線にソースを接続するダミーフィードバック手段用プリチャージバスのnチャネル型MOSトランジスタをさらに備える請求項12記載の半導体記憶装置。

【請求項14】 オーバープリチャージを防止する負荷抵抗トランジスタを、前記プリチャージバスのnチャネル型MOSトランジスタ群のドレインおよび電源電位間に挿入接続する請求項12記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体記憶装置に係わり、特にプリチャージ時にビット線電位を必要な所望レベルまで上昇させた後メモリセルアレイから所定のメモリセルを選択してオン電流を発生させ、その電流の変化を帰還入力するフィードバック手段を備えた電流電圧変換手段によって、データの読み出しの高速化を改善した不揮発性の半導体記憶装置に関する。

【0002】

【従来の技術】従来の不揮発性の半導体記憶装置におけるメモリセルデータの読み出しには、大きく分けて電流センス型MOSトランジスタ電圧センス型がある。メモリセルの導通時のON電流量を検知するタイプの電流センス型の半導体装置の一例を示した図6を参照すると、この半導体装置は、メモリセルアレイ102と、このメモリセルアレイのメモリセルが接続されたビット線を選択するカラムセクタ103と、このカラムセクタ103で選択された所望のビット線にソースを接続する伝達トランジスタのnチャネル型MOSトランジスタ203と、このnチャネル型MOSトランジスタ203のドレインおよび電源電位間に挿入接続する負荷トランジスタのnチャネル型MOSトランジスタ202と電源電位および接地電位間に直列接続状態で挿入され、かつプリチャージ信号SAEがゲートに供給されるpチャネル型MOSトランジスタ204およびnチャネル型MOSトランジスタ

206とメモリセルのビット線DLiにゲートを接続しnチャネル型MOSトランジスタ206と並列にドレインどうしおよびソースどうしを接続するnチャネル型MOSトランジスタ205とからなり、直列接続の接続点FBiを出力端としてnチャネル型MOSトランジスタ203のゲートに接続するダミー用フィードバック回路270を含む電流電圧変換回路280と、リファレンスアレイ106と、このリファレンスアレイ106のリファレンスメモリセルが接続されたビット線をスイチトランジスタを介して接続されるリファレンス用の電流電圧変換回路281と、電流電圧変換回路280の出力電圧VDiを電流電圧変換回路281の出力電圧VREFと比較する電圧比較型の差動増幅回路201とから構成される。なお、リファレンス用の電流電圧変換回路281の構成は電流電圧変換回路280の構成と同一である。

【0003】この電流センス型センスアンプでのデータ読み出しの際、センスアンプ動作は時系列分類すると大きくプリチャージ期間およびセンシング期間に分けて考えることができる。前半のプリチャージ段階では、ビット線DLiおよびDLRを一般的には電源電圧より低い所定の電位まで上昇させるために、ビット線DLiおよびDLRに電荷が供給される。

【0004】プリチャージによってビット線電位が一定になったあと、メモリセルMCを選択してメモリセルMCにON電流を発生させ、それによるビット線電流の変化をフィードバック部270および271と、それによって制御される伝達トランジスタ203および213と、この伝達トランジスタ203および213の負荷トランジスタ202および212とによって、選択された所望のメモリセル電流値に対応した電圧が生成される。

【0005】このときのフィードバック部270および271の役割は、前半のプリチャージ期間および後半のセンシング期間では異なっており、これは高速化を図る際にその差が顕著に現れる。

【0006】つまり、前半のプリチャージ期間では、ビット線DLiおよびDLRの寄生容量を充電するために必要な電荷を如何に速く供給できるかが重要なポイントとなる。

【0007】このプリチャージ期間の制御をフィードバック回路270および271で行う際に、この電荷供給を速く行うためには瞬間的に大量の電荷を供給できるようなフィードバック信号FBiおよびFBRを生成しなければならない。

【0008】しかし、フィードバック回路270および271でクランプするビット線DLiおよびDLRの電位は電源電圧より十分低い電位にあるため、あまり電荷供給能力を大きくしすぎると過充電（オーバープリチャージ）ししやすい。

【0009】一度オーバープリチャージしてしまうと、読み出し動作時に、そのオーバープリチャージされた電

荷を所望のレベルまで十分に放電するための放電経路がないため、かえって読み出し動作が遅くなってしまうことになる。また、読み出し動作全体の中でプリチャージ時のフィードバック回路 270 および 271 の入力電圧の振幅は相対的にかなり大きくなる。

【0010】これに対して、後半のセンシング期間では、メモリセルによって生じるフィードバック回路 270 および 271 の入力（つまりビット線電位）に生じる変化に対してフィードバック出力は、安定なセンシング動作をさせるためにはあまり変化しないことが望ましい。

【0011】本来ならばフィードバック回路 270 および 271 による増幅率の大きい方が電流電圧変換回路 280 および 281 の増幅率を上げることになるのであるが、このフィードバック回路 270 および 271 の増幅率に頼るとセンス時にフィードバック回路動作がノイズ源として作用してしまうことによる悪影響の方が大きいといえる。

【0012】これらのことから、プリチャージ時における電荷供給のためのフィードバック信号 F B i および F B R のあるべき姿は、プリチャージ期間の前半は電荷供給能力を若干高めにしつつ、プリチャージの後半にはオーバープリチャージを避けるように、その電荷供給能力を適切に抑え気味にする必要がある。

【0013】これに対し、センシング時には、ビット線電位の変化にあまり影響されないよう出力することが望ましい。

【0014】この時フィードバック部 270 および 271 の特性は、これら増幅率を上げることとオーバープリチャージを避けることとの中間を満足するように設定される。

【0015】この一連の動作を上述した中間を満足するように最適化するには、フィードバック回路 270 および 271 の特性を、各ステージごとに最適に変化するように設定するのが望ましい。

【0016】また、他の従来の半導体記憶装置の他の例が特開平 3-207096 号公報に記載されている。同公報記載の半導体記憶装置は、本発明の対象とする部分は基本的には上述した半導体記憶装置と同じであり、相違点は、2つのフィードバック回路の負荷トランジスタに供給する電源を、新たに付加した1つのトランジスタを介して共通に供給するようにし、電源供給の差をなくし、差動増幅回路制御誤差を低減していることであるが、この相違点は本発明の趣旨に直接関わらないので、ここでは本発明の対象部分のみを先述した従来例と共通的に扱うものとする。

【0017】

【発明が解決しようとする課題】上述したように、従来の半導体記憶装置でのデータ読み出し時のセンスアンプのプリチャージ期間およびセンシング期間の動作にお

て、前半のプリチャージ期間では、ビット線の寄生容量を充電するために必要な電荷制御を、フィードバック回路で高速に行うために瞬間的に大量の電荷供給ができるようなフィードバック信号を生成しなければならない。

【0018】このとき、ビット線の電位は、フィードバック回路の電荷供給能力を大きくしすぎるとオーバープリチャージしてしやすく、オーバープリチャージしてしまうと、読み出し動作時に、所望のレベルまで十分に放電するための放電経路がないため読み出し動作が遅くなるという問題がある。

【0019】これに対して、後半のセンシング期間では、メモリセルによって生じるビット線電位の変化に対してフィードバック出力はあまり変化しないことが望ましく、フィードバック回路による電流電圧変換回路の増幅率を上げ過ぎると、センス時にフィードバック回路動作がノイズ源となってしまう、という問題がある。

【0020】本発明の目的は、上述した従来の欠点を鑑みなされたものであり、プリチャージ期間およびセンシング期間でのフィードバック信号を変えることにより、ビット線プリチャージ時のビット線への電荷供給量を任意のレベルに設定し、ビット線のオーバープリチャージなどの電荷供給ロスを最小限に抑えデータの読み出しの高速化を図ることにある。

【0021】

【課題を解決するための手段】本発明の半導体記憶装置の特徴は、センスアンプ活性化信号が活性化された状態で、プリチャージ信号もさらに活性化されたときのプリチャージ時にはビット線電位を前記センシングに必要な所望レベルまで上昇させた後メモリセルアレイから所定のメモリセルを選択してオン電流を発生させ、その電流の変化を帰還入力するフィードバック手段を備えた電流電圧変換手段によって変換された出力電圧を、前記電流電圧変換手段と同一構成からなるリファレンス電圧発生手段の出力電圧と差動増幅手段で比較することによって、メモリセルのデータ記憶状態をプリチャージ信号が非活性化されたときのセンシング期間で判定する電流センス型のデータ読み出し手段を備えた半導体記憶装置において、前記メモリセルアレイ 1 列分のメモリセルと同一構成のダミーメモリセルとこのセルに電荷を供給する伝達トランジスタを、このトランジスタの出力電位が帰還入力されるダミーフィードバック手段により制御し、かつ前記ダミーメモリセルに対する電荷供給を増加または減少させるとともに前記伝達トランジスタの負荷トランジスタから前記電荷供給の変化に応じた所定の電圧を生成するダミー用電流電圧変換手段とを含み、このダミー用電流電圧変換手段によって前記電流電圧変換手段の前記電荷供給に要する時間を短縮制御する電荷供給制御手段をさらに備えることにある。

【0022】また、前記プリチャージ動作期間において、前記電荷供給制御手段が前記電流電圧変換手段およ

10

20

30

40

50

び前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するためのプリチャージバスを備えることができる。

【0023】さらに、前記ダミーフィードバック手段の出力信号を、前記電荷供給制御手段が前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するためのプリチャージバスのトランジスタの制御信号と前記ダミー用電流電圧変換手段の有する伝達トランジスタへの制御信号とに共用することもできる。

【0024】さらにまた、前記センスアンプが非活性期間において、前記電荷供給制御手段が前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくともあらかじめ定める所定の低電位になるように放電するためのディスチャージバスを備えることもできる。

【0025】また、センスアンプ活性化信号が非活性時にこの信号に同期するディスチャージ制御信号によって前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線の電荷を放電させてプリチャージ開始時点での状態を一定に揃えることもできる。

【0026】さらに、前記ダミーフィードバック手段の判定電流は、前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線電位があらかじめ定める所定のレベルを超えない電位内で充電能力を上げるように、前記電流電圧変換手段および前記リファレンス電圧発生手段それぞれのもつ前記フィードバック手段の判定電流よりも高い値に設定してもよい。

【0027】さらにまた、前記ダミー用電流電圧変換手段の前記ビット線の寄生成分は、前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の寄生成分より小さく設定してもよい。

【0028】また、前記ダミーメモリセルの寄生成分は前記メモリセルと同じ素子で形成してもよい。

【0029】さらに、前記電流電圧変換手段および前記リファレンス電圧発生手段にそれぞれ接続されるビット線の電位を少なくとも電源電位になるように充電するための前記プリチャージバスにオーバープリチャージを防止する負荷抵抗トランジスタを備えることもできる。

【0030】さらにまた、前記負荷抵抗トランジスタは、前記電流電圧変換手段および前記リファレンス電圧発生手段それぞれのビット線に電荷を供給する伝達トランジスタの負荷トランジスタと同じ特性を有することもできる。

【0031】また、前記プリチャージ信号に応答して前記プリチャージ期間のあらかじめ定める初期段階においてのみ前記電流電圧変換手段のプリチャージ能力を一時的に大きくするためのフィードバック信号を生成することもできる。

【0032】さらに、前記電荷供給制御手段は、前記メ

モリセルアレイのメモリセル1列分と同一構成のダミーメモリセルと、このダミーメモリセルのビット線に接続する前記ダミー用電流電圧変換手段と、前記ダミーメモリセルと前記メモリセルと前記リファレンス用電流電圧変換手段に接続するリファレンスメモリセルとにそれぞれ接続されるビット線毎に1個ずつ配置されそれぞれのビット線にドレインを接続しかつ接地電位にソースを接続するとともにディスチャージ制御信号がゲートに供給されるディスチャージバスのnチャネル型MOSトランジスタ群と、前記ダミーフィードバック手段の出力端にゲートを接続しかつ電源電位にドレインを接続するとともに前記メモリセルおよび前記リファレンスメモリセルそれぞれのビット線毎に1個ずつ配置されかつそれぞれのビット線にソースを接続するプリチャージバスのnチャネル型MOSトランジスタ群とを備え、前記ダミー用電流電圧変換手段は、電源電位および接地電位間に直列接続状態で挿入され、かつ前記プリチャージ信号がゲートに供給される第1のpチャネル型MOSトランジスタおよび第1のnチャネル型MOSトランジスタと前記ダミーメモリセルのビット線にゲートを接続し前記第1のnチャネル型MOSトランジスタと並列にドレインどうしおよびソースどうしを接続する第2のnチャネル型MOSトランジスタとからなり、この第2のnチャネル型MOSトランジスタのドレインを前記出力端とする前記ダミーフィードバック手段と、このダミーフィードバック手段の前記出力端にゲートを接続しかつ前記ダミーメモリセルのビット線にソースを接続する前記伝達トランジスタの第3のnチャネル型MOSトランジスタと、この第3のnチャネル型MOSトランジスタのドレインおよび電源電位間に挿入接続する前記負荷トランジスタの第4のnチャネル型MOSトランジスタとで構成することができる。

【0033】さらにまた、前記ダミーフィードバック手段の出力端にゲートを接続しかつ電源電位にドレインを接続するとともに前記ダミーメモリセルのビット線にソースを接続するダミーフィードバック手段用プリチャージバスのnチャネル型MOSトランジスタをさらに備えることもできる。

【0034】また、オーバープリチャージを防止する負荷抵抗トランジスタを、前記プリチャージバスのnチャネル型MOSトランジスタ群のドレインおよび電源電位間に挿入接続することもできる。

【0035】

【発明の実施の形態】まず本発明の概要を述べると、本来チャージアップすべきビット線とそれに備わるフィードバック回路のほかに、これと等価もしくは類似のダミービットセルとダミーフィードバック回路を備えるプリチャージ回路（電荷供給制御手段）で電荷の供給をおこなう。

【0036】チャージアップすべきビット線には、読み

10

20

30

40

50

出し時の初期にチャージアップを補助するプリチャージ回路を設け、このプリチャージ回路の制御をこのダミービット側のダミーフィードバック回路の出力信号により行うものである。これによりビット線プリチャージ時のビット線への電荷供給量を任意のレベルに設定できるため、ビット線のオーバプリチャージなどの電荷供給ロスを最小限に抑えることができる。

【0037】次に、本発明の実施の形態を図面を参照しながら説明する。図1は本発明の第1の実施の形態を示す半導体記憶装置の構成図である。図1を参照すると、外部から与えられるアドレス信号を基にメモリセルMC00、……、MCmnのロウアドレスをワード線WL0、……、WLmを介して出力するロウデコーダ101と、メモリセルMC00、……、MCmnのカラムアドレスをビット線BL0、……、BLnを介して入力し、所望のビット線を選択しビット線DLiを介して出力するカラムスイッチ103と、このカラムスイッチ103の出力データのビット線DLiプリチャージするプリチャージ回路107と、センスアンプに用いるリファレンス電圧生成のためにリファレンスメモリセルの電荷を供給するリファレンスセルアレイ106と、電流センス型のセンスアンプ105と、センスアンプ105の出力データを、データ出力線DOUiを介して入力しデータ出力線DQiを介して出力端子へ出力する入出力バッファ105とで構成される。

【0038】センスアンプ104の構成を示した図2を参照すると、前述した図6に示した従来例のセンスアンプとの相違点は、図6に示した構成にさらに電荷供給制御手段290を新たに備えたことである。従って、ここでは電荷供給制御手段290の構成のみを詳述し、従来の構成部分の記載は概要のみとする。

【0039】なお、以下の構成の説明は、特に断りのない限りメモリセルとリファレンスセルの両方に適用される。

【0040】再び図2を参照すると、センスアンプ活性化信号SAEが活性化された状態で、プリチャージ信号SAPCもさらに活性化されたときのプリチャージ時にはビット線DLi電位をセンシングに必要な所望レベルまで上昇させた後メモリセルアレイ102から所定のメモリセルを選択してON電流を発生させ、その電流の変化を帰還入力するフィードバック回路270を備えた電流電圧変換回路270によって変換された出力電圧VDiを、電流電圧変換回路270と同一構成からなるリファレンス用電圧発生手段281（以下、電流電圧変換回路281と称す）の出力電圧VREFと差動増幅部201で比較することによって、メモリセルのデータ記憶状態をプリチャージ信号SAPCが非活性化されたときのセンシング期間で判定する電流センス型のデータ読み出し手段を備えた従来の半導体記憶装置に適用する。

【0041】電荷供給制御手段（以下、ダミープリチャ

ージ回路と称す）290は、メモリセルアレイ（以下、メモリアレイと称す）102のメモリセル1列分と同一構成のダミーメモリセル283と、このダミーメモリセル283のビット線DLDに接続するダミー用電流電圧変換回路282と、ダミーメモリセル283とメモリセルと電流電圧変換回路281に接続するリファレンスメモリセルアレイ（以下、リファレンスアレイと称す）106のリファレンスメモリセル（以下、リファレンスセルと称す）とにそれぞれ接続されるビット線DLD、DLi、DLR毎に1個ずつ配置されそれぞれのビット線DLD、DLi、DLRにドレインを接続しかつ接地電位にソースを接続するとともにディスチャージ制御信号SAPCがゲートに供給されるディスチャージバス（以下、放電専用バスと称す）としてのnチャネル型MOSトランジスタ251、221、231群と、ダミーフィードバック回路272の出力端FBDにゲートを接続しかつ電源電位にドレインを接続するとともにメモリセルおよびリファレンスセルそれぞれのビット線DLi、DLR毎に1個ずつ配置されかつそれぞれのビット線にソースを接続するプリチャージバス（以下、充電専用バスと称す）のnチャネル型MOSトランジスタ260、261群とを備え、ダミー用電流電圧変換回路282は、電源電位および接地電位間に直列接続状態で挿入され、かつプリチャージ信号SAPCがゲートに供給されるpチャネル型MOSトランジスタ244およびnチャネル型MOSトランジスタ246とダミーメモリセル283のビット線DLDにゲートを接続しnチャネル型MOSトランジスタ246と並列にドレインどうしおよびソースどうしを接続するnチャネル型MOSトランジスタ245とからなり、このnチャネル型MOSトランジスタ245のドレインを出力端FBDとするダミーフィードバック回路272と、このダミーフィードバック回路272の出力端FBDにゲートを接続しかつダミーメモリセル283のビット線DLDにソースを接続する伝達トランジスタのnチャネル型MOSトランジスタ243と、このnチャネル型MOSトランジスタ243のドレインおよび電源電位間に挿入接続する負荷トランジスタのnチャネル型MOSトランジスタ242とで構成される。

【0042】本発明では、この構成に新規にビット線DLiの充電専用バスとしての充電専用トランジスタ260および261を設け、その制御をダミープリチャージ回路290の出力FBDによって行うことが新規な点である。

【0043】なお、図中に点線で接続を示したように、ダミーフィードバック回路272の出力端FBDにゲートを接続しかつ電源電位にドレインを接続するとともにダミーメモリセル283のビット線DLDにソースを接続するダミーフィードバック回路用の充電専用バスの充電専用トランジスタとしてnチャネル型MOSトランジ

手段の回路動作を説明する。

【0061】図3を参照すると、外部入力信号（チップイネーブル）CEなどのメモリセルの読み出しのきっかけから、ATD（Address Transition Detector）などのタイミング発生回路（図示せず）によってセンスアンプ活性化信号SAEおよびプリチャージ信号SAPCのそれぞれのパルス波が生成され供給される。

【0062】上述したタイミング発生回路ATDなどによってセンスアンプ活性化信号SAEおよびプリチャージ信号SAPCがともに活性化（論理レベルのロウレベル）された後、プリチャージ信号SAPCはセンスアンプ活性化信号SAEよりも早い時期に非活性化状態（論理レベルのハイレベル）に戻される。

【0063】このとき、ビット線DLiおよびDLRはプリチャージ信号SAPCの活性化状態よりも多少の遅延をもってプリチャージ期間の状態となり、このプリチャージ期間以降センスアンプ活性化信号SAEが非活性になるまで差動増幅部201が判定をおこなうためのセンシング期間の状態となる。

【0064】メモリセルのワード線WLi（図3ではWL）は、タイミング発生回路ATD動作と同期もしくは非同期に立ち上げられる。このときのワード線WLiの到達レベルは電源電圧に応じて電源電圧（プリチャージ時）もしくはそれ以上（センシング時）に昇圧されたレベルまで引き上げられる。

【0065】プリチャージ時には、ビット線DLiのレベルをセンシングに必要とされる所望のレベルまで短い時間で充電することが読み出し等のセンスアンプ動作の高速化につながる。そのため本発明では、このプリチャージ動作の最適化によってプリチャージ時間の最適化を図った。

【0066】通常、ビット線DLiもしくはDLRに電荷を供給する際に、その制御信号FBiもしくはFBRを発生するフィードバック回路270および271は、センシング時のビット線を所望の電位にクランプできることを優先して設定される。

【0067】このとき、プリチャージ期間の初期段階ではビット線DLiおよびDLRのプリチャージ能力は不足しやすい。そこで、プリチャージ段階においてのみプリチャージ能力を一時的に大きくするようなダミーフィードバック信号FBDを生成し、これを利用してビット線BLiおよびBLRのプリチャージ時間を短縮させてやればよい。

【0068】図4を参照すると、ビット線レベルを入力として動作するフィードバック回路270および271の入出力特性402、およびダミーフィードバック回路272の入出力特性403が図示されている。また、伝達トランジスタ203および213の入出力特性401とフィードバック回路入出力特性402およびダミーフ

ィードバック回路403との交点が、無限時間後にビット線DLおよびフィードバック回路出力FBの収束するレベルを示す。

【0069】本発明では、プリチャージ段階ではフィードバック回路の出力はプリチャージのドライビングフォースが強い曲線403が曲線402よりも系を支配し、時間経過に伴うビット線プリチャージレベルDLおよびフィードバック出力FBおよびFBDは図3に示すような変化をする。

【0070】つまり、図3および図4を併せて参照すると、例えばワード線WLにより選択されるセルがあらかじめ電子注入されて非導通状態のセルがデータ“1”を出力する場合（ビット線DLの電位は $(1V + \alpha)$ ）、プリチャージ初期のプリチャージ信号SAPCが活性化された状態では、ダミーフィードバック信号FBDがハイレベルとなり充電専用バスの充電専用トランジスタ260、261が導通してセルのドレインが接続されるビット線DLを電源電位に急速に充電する。すなわち、充電専用バスにより充電能力が大きくなる。

【0071】この充電によりフィードバック回路270、271のトランジスタ205、215が導通してFBがロウレベルとなる。このロウレベルによって伝達トランジスタ203、213がそれぞれ非導通となり、それぞれの出力VDiおよびVREFは負荷トランジスタ202、212から電源電位よりもしきい値分低い電圧が出力として得られる。ここで、VDi（（-）入力端）<VREF（（+）入力端）となるように設定されている。これら2つの電圧を差動増幅部201で比較しデータ“1”として出力する。

【0072】なお、前述したダミーフィードバック回路用の充電専用バスとしてのnチャネル型MOSトランジスタ253をさらに備える場合は、上述の動作に準じ、充電専用バスの充電によりダミーフィードバック回路272のトランジスタ245が導通してFBDがロウレベルとなる。このロウレベルによって伝達トランジスタ243がそれぞれ非導通となる。

【0073】一方、セルがあらかじめ電子注入されておらずデータ“0”を出力する場合、プリチャージ信号SAPCが活性化された状態では、ダミーフィードバック信号FBDがハイレベルとなり充電専用バスのトランジスタ260、261が導通してセルのドレインが接続されるビット線DLを電源電位に充電しようとするが、セルが導通しているためビット線DLの電位は $(1V - \alpha)$ で論理レベルのロウレベルのままであり、このロウレベルによりフィードバック回路270、271のトランジスタ205、215が非導通となり、FBがハイレベルとなる。

【0074】このハイレベルによって伝達トランジスタ203、213がそれぞれ導通し、それぞれの出力VDiの電位は、（電源電位VCC）-（負荷トランジスタ

10

20

30

40

50

202の抵抗値)×(負荷トランジスタを流れる電流)となりロウレベルが出力として得られ、VREFも同様にロウレベルが得られる(但し、負荷トランジスタ212の抵抗値、負荷トランジスタを流れる電流は変えてある)。ここで、VDi((-)入力端)>VREF((+)入力端)となるように設定されている。これら2つの電圧を差動増幅部201で比較しデータ“0”として出力する。

【0075】つまり、データ“1”を出力する場合、プリチャージ時、DL終端レベルに向かってプリチャージされる(図3の波形DLにおける斜線部分)が、ある程度ビット線のプリチャージが終了しプリチャージ信号SAPCが非活性状態に戻ると、FBDもロウレベルになり、充電専用バスのトランジスタ260、261も非導通となり、本来目標とするセンシング時DLレベルに向かってビット線DLのレベルが変化する。

【0076】このように、ダミーフィードバック回路特性の最適化とプリチャージ信号の最適化により高速化を実現することが出来る。

【0077】本発明におけるプリチャージ動作では、もしダミービット線DLの寄生成分(抵抗・容量)がメモリセルアレイ102やリファレンスセルアレイ106のそれと等しければ、オーバープリチャージに至りやすく特性劣化をきたす可能性がある。

【0078】これを防止するため、ダミービット線DLにつく寄生成分(抵抗・容量)をビット線BLiやBLRに付く寄生成分よりも小さくしてやればよい。これにより、オーバープリチャージ特性を抑制することが出来る。

【0079】また、初期状態を一定にするため、センスアンプ非活性状態時にビット線DL、DLの電荷をすべてディスチャージすることが有効である。このため、ATDによって制御されるセンスアンプ活性化信号SAPCが非活性状態を示す間、これに同期するディスチャージ信号DISによってビット線を放電してやると、プリチャージ開始時点での状態を揃えることができる。この放電は、放電専用トランジスタ221および231によって行われる。

【0080】以上のように、本発明ではセンスアンプに用いるフィードバック回路を2つのステージ、つまり、プリチャージとセンシングのそれぞれに最適な動作をさせることによりいずれのステージもお互いに独立に高速化のためのパラメータフィッティングを行うことができる。よって読み出し全体の高速化を図ることができる。

【0081】本発明の他の実施の形態を示した図5を参照すると、図2に示した第1の実施の形態の構成との相違点は、充電専用バスのトランジスタ260、261に負荷トランジスタ262、263が付加されていることである。それ以外の構成要素は同一であるからここでの構成の説明は省略する。

【0082】すなわち、ビット線DLのプリチャージを充電専用バスのトランジスタ260および261を用いて行う際に、電源電圧が高い場合、電荷の充電が急激におこなわれ、これがノイズ源となって他の回路の誤動作を誘因する可能性がある。

【0083】このような電源電圧の場合には、電荷の供給の速度(電流を時間で微分した値)の極大値を抑えるように充電専用バスのトランジスタ260および261のソースもしくはドレイン側に負荷抵抗トランジスタ262および263を挿入するとよい。

【0084】この負荷抵抗トランジスタ262および263の電荷供給能力もしくはそのトランジスタサイズは、電流電圧変換回路280、281の負荷抵抗202および212のそれらと同一にするのが最もよい。

【0085】

【発明の効果】以上説明したように、本発明の半導体記憶装置は、メモリセルアレイ1列分のメモリセルと同一構成のダミーメモリセルとこのセルに電荷を供給する伝達トランジスタを、このトランジスタの出力電位が帰還入力されるダミーフィードバック手段により制御し、かつダミーメモリセルに対する電荷供給を増加または減少させるとともに伝達トランジスタの負荷トランジスタから電荷供給の変化に応じた所定の電圧を生成するダミー用電流電圧変換手段とを含み、このダミー用電流電圧変換手段によって電流電圧変換手段の電荷供給に要する時間を短縮制御する電荷供給制御手段をさらに備えるので、センスアンプに用いるフィードバック回路を2つのステージ、つまり、プリチャージとセンシングのそれぞれに最適な動作をさせることが出来、いずれのステージもお互いに独立に高速化のためのパラメータフィッティングを行うことができる。

【0086】よって読み出し全体の高速化を図ることができる。

【0087】

【図面の簡単な説明】

【図1】本発明の第1の実施の形態を示す半導体記憶装置全体の構成図である。

【図2】第1の実施の形態を示すセンスアンプの構成図である。

【図3】入力信号および内部の動作波形を示した図である。

【図4】動作点説明用の波形を示した図である。

【図5】第2の実施の形態を示すセンスアンプの構成図である。

【図6】従来の半導体集積回路のセンスアンプの一例を示す構成図である。

【符号の説明】

101 ロウデコーダ

102 メモリセルアレイ

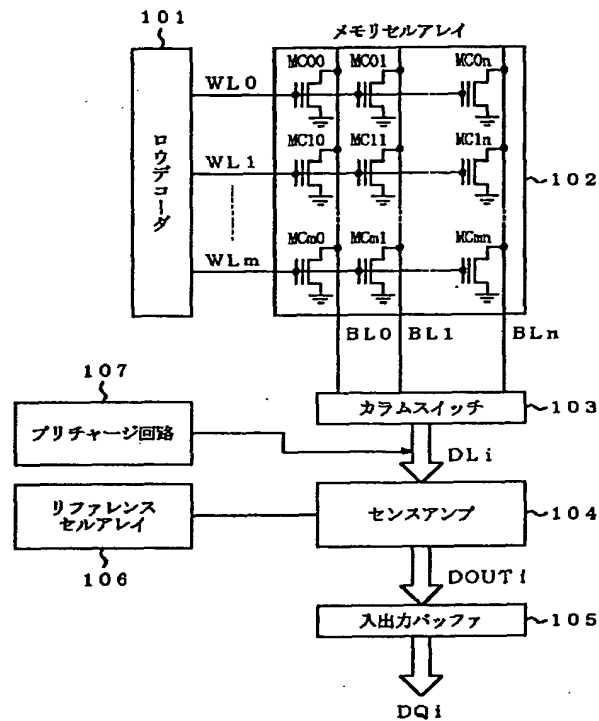
103 カラムスイッチ

17

104 センスアンプ
 105 入出力バッファ
 106 リファレンスセルアレイ
 107 プリチャージ回路
 201 差動増幅部
 202, 212, 262, 263 負荷トランジスタ
 203, 213, 243 伝達トランジスタ
 221, 231, 251 放電専用トランジスタ
 260, 261, 253 充電専用トランジスタ
 270, 271 フィードバック回路
 272 ダミーフィードバック回路
 280 電流電圧変換回路
 282 ダミー用電流電圧変換回路

【図1】

図1

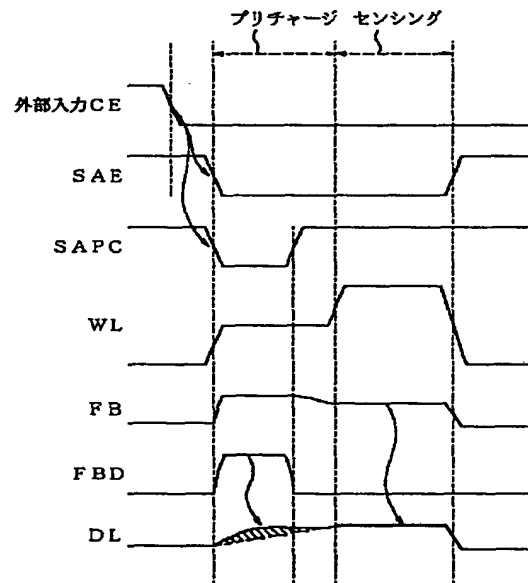


18

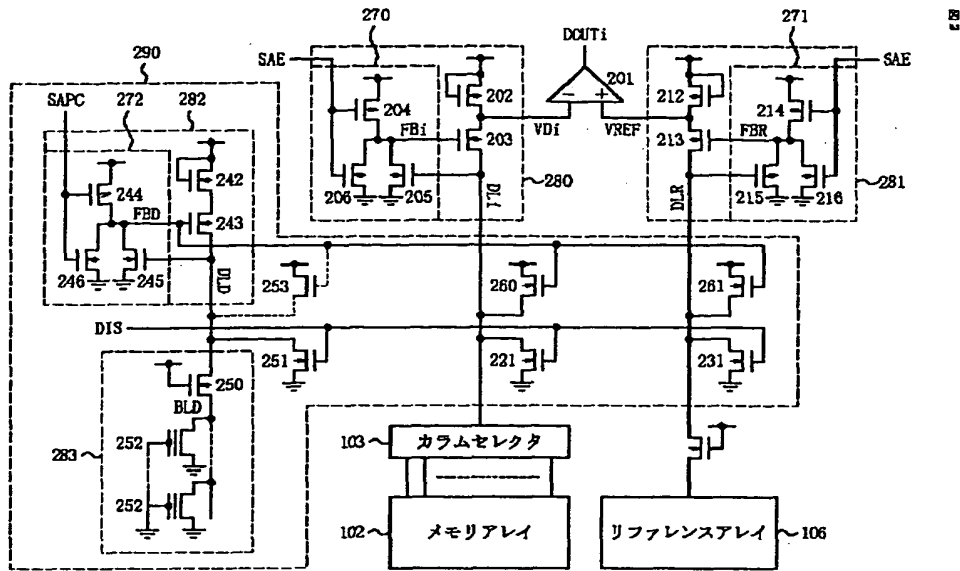
283 ダミーメモリセル
 290 ダミープリチャージ回路
 ATD タイミング発生回路
 BL0, BL1, ..., BLm, DLi, DLR
 ビット線
 DLD ダミービット線
 MC00, MC01, ..., MCmn メモリセル
 SAE センスアンプ活性化信号
 SAPC プリチャージ信号
 10 VREF 基準電位
 VDi 出力電圧
 WL0, WL1, ..., WLm ワード線

【図3】

図3



【図2】



【図4】

図4

